

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-041090
 (43)Date of publication of application : 12.02.1999

(51)Int.Cl.

H03K 19/0185

(21)Application number : 09-197631

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 23.07.1997

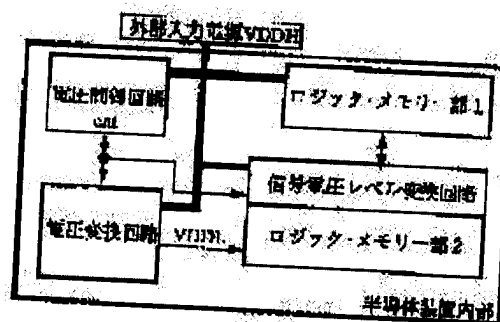
(72)Inventor : YAMAMOTO HIROO

(54) SEMICONDUCTOR DEVICE WITH SIGNAL LEVEL CONVERTING FUNCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain excellent output delay time characteristics by allowing a signal level converting circuit to adjust and output the compensation quantity of its output current according to a choice of the output voltage value of a voltage converting circuit by a voltage control circuit.

SOLUTION: A logic memory part 2 is supplied with VDDL as the source voltage and in a state wherein the operating voltage may be lowered, the voltage control circuit controls the output voltage of the voltage converting circuit to lower than a conversion voltage VDDL through conversion and supplies it to the memory part 2. When the setting of an internal voltage changes, balance becomes worse at a rise and a fall of delay time characteristics. Here, the signal level converting circuit is used to vary the delay time characteristics by the voltage control circuit controlling the setting of the internal voltage. Consequently, a signal level shift circuit itself need not be provided with a source voltage detecting circuit and a signal level shift circuit characteristic control circuit and a semiconductor integrated circuit is obtained which has its deterioration in the delay time characteristics suppressed against variation in the source voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 4 1 0 9 0

(43) 公開日 平成 1 1 年 (1 9 9 9) 2 月 1 2 日

(51) Int. Cl.⁶
H03K 19/0185

識別記号 片内整理番号

F I

H03K 19/00

技術表示箇所

101 C
101 B

審査請求 未請求 請求項の数 9 O L (全 1 4 頁)

(21) 出願番号 特願平 9 - 1 9 7 6 3 1

(22) 出願日 平成 9 年 (1 9 9 7) 7 月 2 3 日

(71) 出願人 0 0 0 0 0 5 8 2 1

松下電器産業株式会社

大阪府門真市大字門真 1 0 0 6 番地

(72) 発明者 山本 裕雄

大阪府門真市大字門真 1 0 0 6 番地 松下

電器産業株式会社内

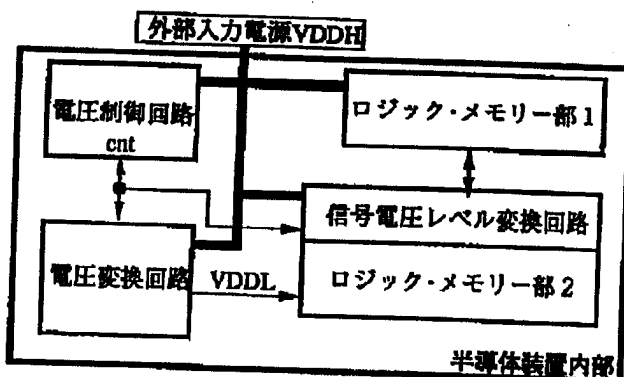
(74) 代理人 弁理士 池内 寛幸 (外 1 名)

(54) 【発明の名称】 信号レベル変換機能付き半導体装置

(57) 【要約】

【課題】 複数の内部動作電圧を持つ半導体集積回路において、内部電圧の設定を変えた場合に生じる信号レベル変換回路の出力電流の劣化、出力負荷容量の充放電に必要な電流量の変化に起因する出力遅延時間特性を改善する。

【解決手段】 電圧変換回路と、前記電圧変換回路の変換出力電圧値を選択する電圧制御回路と、内部電圧駆動の第 1 の論理回路と、外部電圧駆動の第 2 の論理回路と、前記第 1 の論理回路と前記第 2 の論理回路の間の出力信号を相互に変換する信号レベル変換回路を備え、前記信号レベル変換回路が、前記電圧制御回路による前記電圧変換回路の出力電圧値の選択に応じて前記信号レベル変換回路の出力電流を補償して出力負荷容量の充放電を調整して出力遅延時間特性を改善する。出力電流補償は出力電流を導通する素子と並列にスイッチング素子を設け、前記電圧制御回路からの信号に応じてスイッチングして調整する。



【特許請求の範囲】

【請求項 1】 外部電圧を複数設定された内部電圧値のいずれかに変換して出力する電圧変換回路と、前記電圧変換回路の変換出力電圧値を選択する電圧制御回路と、前記電圧変換回路の変換出力電圧を電源電圧とする第 1 の論理回路と、前記外部電圧を電源電圧とする第 2 の論理回路と、前記第 1 の論理回路の出力信号レベルを前記第 2 の論理回路入力信号レベルに変換し、前記第 2 の論理回路の出力信号レベルを前記第 1 の論理回路入力信号レベルに変換する信号レベル変換回路を備え、前記信号レベル変換回路が、前記電圧制御回路による前記電圧変換回路の出力電圧値の選択に応じて前記信号レベル変換回路の出力電流の補償量を調整して出力遅延時間特性を改善する手段を備えたことを特徴とする信号レベル変換機能付き半導体装置。

【請求項 2】 前記信号レベル変換回路が、前記第 1 の論理回路に対して前記選択された内部電圧レベルの信号を少なくとも入力できる第 1 の回路端子と、前記第 2 の論理回路に対して前記外部電圧レベルの信号を少なくとも出力できる第 2 の回路端子と、前記第 1 の回路端子に接続され、前記選択された内部電圧を駆動電源電圧とする第 1 のインバータ回路を備えた前記第 1 の論理回路側の信号を少なくとも入力できる内部電圧側回路と、前記内部電圧側回路との間で信号を伝達し、前記外部電圧を駆動電源電圧とし、出力立ち上がりの際に前記第 2 の回路端子の負荷容量をチャージする第 1 のスイッチング素子と出力立ち下がりの際に前記第 2 の回路端子の負荷容量をディスチャージする第 2 のスイッチング素子を含む第 2 のインバータ回路を備えた外部電圧側回路と、前記電圧制御回路による前記電圧変換回路の出力電圧値の選択に応じてスイッチングし、前記第 2 のインバータの第 2 のスイッチング素子と並列に接続された第 3 のスイッチング素子を備え、前記第 3 のスイッチング素子の導通により、前記第 2 の回路端子の負荷容量をディスチャージする電流を補償する電流を流す請求項 1 に記載の信号レベル変換機能付き半導体装置。

【請求項 3】 前記第 3 のスイッチング素子が並列に複数あり、前記電圧制御回路により選択された内部電圧値が低くなる程、導通する第 3 のスイッチング素子が多くなるようにスイッチングされ、前記第 2 の回路端子の負荷容量をディスチャージする電流を補償する電流が多く流れる請求項 2 に記載の信号レベル変換機能付き半導体装置。

【請求項 4】 前記外部電圧側回路がさらに前記第 1 のスイッチング素子のスイッチング電圧を与える第 4 のスイッチング素子を備えている場合、さらに、前記電圧制御回路による前記電圧変換回路の出力電圧値の選択に応じてスイッチングし、前記第 4 のスイッチング素子と並列に接続された第 5 のスイッチング素子を備え、前記第

5 のスイッチング素子による前記第 1 のスイッチング素子のスイッチング動作を補償する電流を流す請求項 2 または 3 に記載の信号レベル変換機能付き半導体装置。

【請求項 5】 前記信号レベル変換回路が、前記第 1 の論理回路に対して前記選択された内部電圧レベルの信号を少なくとも出力できる第 1 の回路端子と、前記第 2 の論理回路に対して前記外部電圧レベルの信号を少なくとも入力できる第 2 の回路端子と、前記第 2 の回路端子に接続され、前記外部電圧を駆動電源電圧とする第 3 のインバータ回路を備えた前記第 2 の論理回路側の信号を少なくとも入力できる外部電圧側回路 2 と、前記外部電圧側回路 2 との間で信号を伝達し、前記選択された内部電圧を駆動電源電圧とし、出力立ち上がりの際に前記第 1 の回路端子の負荷容量をチャージする第 6 のスイッチング素子と出力立ち下がりの際に前記第 1 の回路端子の負荷容量をディスチャージする第 7 のスイッチング素子を含む第 4 のインバータ回路を備えた内部電圧側回路 2 と、前記電圧制御回路による前記電圧変換回路の出力電圧値の選択に応じてスイッチングし、前記第 4 のインバータの第 6 のスイッチング素子と並列に接続された第 8 のスイッチング素子を備え、前記第 8 のスイッチング素子の導通により、前記第 1 の回路端子の負荷容量をチャージする電流を補償する電流を流す請求項 1 に記載の信号レベル変換機能付き半導体装置。

【請求項 6】 前記信号レベル変換回路が、前記第 1 の論理回路に対して前記選択された内部電圧レベルの信号を少なくとも出力できる第 1 の回路端子と、前記第 2 の論理回路に対して前記外部電圧レベルの信号を少なくとも入力できる第 2 の回路端子と、前記第 2 の回路端子に接続され、前記外部電圧を駆動電源電圧とする第 3 のインバータ回路を備えた前記第 2 の論理回路側の信号を少なくとも入力できる外部電圧側回路 2 と、前記外部電圧側回路 2 との間で信号を伝達し、前記選択された内部電圧を駆動電源電圧とし、出力立ち上がりの際に前記第 1 の回路端子の負荷容量をチャージする第 6 のスイッチング素子と出力立ち下がりの際に前記第 1 の回路端子の負荷容量をディスチャージする第 7 のスイッチング素子を含む第 4 のインバータ回路を備えた内部電圧側回路 2 と、前記電圧制御回路による前記電圧変換回路の出力電圧値の選択に応じてスイッチングし、前記第 4 のインバータの第 7 のスイッチング素子と並列に接続された第 9 のスイッチング素子を備え、前記第 9 のスイッチング素子の導通により、前記第 1 の回路端子の負荷容量をディスチャージする電流を補償する電流を流す請求項 1 に記載の信号レベル変換機能付き半導体装置。

【請求項 7】 前記信号レベル変換回路を構成するスイッチング素子のうち、前記外部電圧が印可される素子は前記外部電圧の耐圧を持つスイッチング素子を使用し、前記外部電圧が印可されない素子は耐圧が低く、スイッチング電圧が低電圧で導通電流が大きいスイッチング素子

子を使用し、前記外部電源側回路の駆動電流をさらに改善した請求項 1 ～ 6 のいずれか 1 項に記載の信号レベル変換機能付き半導体装置。

【請求項 8】 前記第 3 のスイッチング素子、前記第 5 のスイッチング素子、前記第 8 のスイッチング素子、前記第 9 のスイッチング素子を、少なくとも 1 つまたは並列に複数個備え、前記信号レベル変換回路の出力立ち下がり遅延時間および出力立ち上がり遅延時間を小さくし、かつ両者の差を小さくするように、前記電圧制御回路による前記電圧変換回路の出力電圧値の選択に応じた前記スイッチング素子のスイッチング制御を行う請求項 1 ～ 7 のいずれか 1 項に記載の信号レベル変換機能付き半導体装置。

【請求項 9】 前記信号レベル変換回路をユニットセルとし、さらに前記信号レベル変換回路ユニットセルの制御端子のうち前記電圧制御回路による内部電圧選択に対応する制御端子に信号を出力する機能を持つ動作電圧設定ユニットセルを備え、前記信号レベル変換回路ユニットセルと前記動作電圧設定ユニットセルとの組み合わせにより、出力遅延時間特性を可変的に設定する請求項 1 ～ 8 のいずれか 1 項に記載の信号レベル変換機能付き半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、少なくとも 2 つの電源電圧を持つ半導体集積回路の内部電圧レベルの信号を外部電圧レベルの信号に変換する信号レベル変換回路、外部電圧レベルの信号を内部電圧レベルの信号に変換する信号レベル変換回路、およびそのレイアウト手法と回路機能ブロック構成に関する。

【0002】

【従来の技術】 マイクロプロセッサなど半導体論理回路において低消費電力化は重要であり、半導体論理回路の内部では動作電圧を低く抑えた低電圧レベルで駆動する論理回路を用いて消費電力の削減を行い、その信号出力を半導体集積回路外部の信号レベル規格に合わせるために内部電圧レベルの信号を外部電圧レベルの信号に変換し、外部電圧レベルの信号を内部電圧レベルの信号に変換する信号レベル変換回路が用いられている。

【0003】 まず、従来の一般的な内部電圧レベルの信号を外部電圧レベルの信号に変換する信号レベル変換回路を図 16 ～ 図 18 を参照しながら説明する。

【0004】 図 16 は回路図、図 17 は入力波形と出力波形を示す図、図 18 は出力遅延時間特性を表わす図である。

【0005】 この信号レベル変換回路の全体の動作は、図 16 の入力端子 (i n) より、図 17 の V (i n) に示す内部電圧レベル VDD L を持つ信号が入力すると、出力端子 (o u t) から外部電圧レベル VDD H に変換された信号が出力されるというものである。なお図 17 におい

て、t p L H は入力電圧信号が立ち上がってから出力電圧信号が立ち上がるまでの遅延時間、t p H L は入力電圧信号が立ち下がってから出力電圧信号が立ち下がるまでの遅延時間を表わしている。

【0006】 まず、入力端子 (i n) へ 0 V から VDD L に立ち上がる電圧信号が入力された場合の出力信号を説明する。入力端子 (i n) へ入力された VDD L 電位は CMOS インバータ I 1 に伝達され、CMOS インバータ I 1 はロー (0 V) 信号を出力する。P 2 および N 2 で構成される CMOS インバータ I 2 への入力電圧は 0 V となり、インバータ I 2 の出力電圧は P 2 を介してハイ (VDD H) 信号となる。このとき P 1 はオンからオフへ変換し、インバータ I 2 の入力電圧は 0 V、出力電圧は VDD H の電圧信号となる。次に、入力電圧が VDD L の電圧から 0 V に立ち下がる電圧信号が入力された場合の出力信号を説明する。この場合、インバータ I 2 の入力ゲート電圧は 0 V から VDD H の電圧まで徐々に変化する。これはインバータ I 2 の入力反転により P 2 がオフ、N 2 がオンとなり、インバータ I 2 の出力電圧が VDD H から低下し、P 1 がオンになりインバータ I 2 の入力電圧を VDD H まで上昇させる為である。最終的にはインバータ I 2 の出力は 0 V となる。

【0007】 以上の動作は、入力信号 V (i n) の電圧レベル、電源電圧、出力信号 V (o u t) の電圧レベルは一定である事を前提に MOS トランジスタの設計パラメータ (ゲート長、ゲート幅) を最適化しており、これにより最適な遅延特性を得ている。

【0008】 次に、さらなる低消費電力化を図るため、低速動作モードを持つ半導体論理回路が提案されている。高速な動作が求められる場合には電源電圧を上げ、外部からの信号を待っている等の低速動作が許容されるモードでは電源電圧を低下させる手法である。

【0009】

【発明が解決しようとする課題】 しかし、低速動作モードを持つ半導体論理回路では、出力立ち上がり遅延時間と出力立ち下がり遅延時間が大きくなり、電源電圧 VDD L を下げる割合を大きくすると回路が動作しなくなるという問題が生じていた。図 18 は通常動作時の電源電圧 VDD L を 1 としさらに低い割合の電源電圧に落とした場合の出力立ち上がり遅延時間と出力立ち下がり遅延時間特性を示す図である。図 18 に示すように低速動作モードの電源電圧 VDD L の設定電圧を低くするほど遅延時間が大きくなり、一定範囲を越えると動作しなくなることがわかる。また立ち上がり遅延時間 t p L H と立ち下がり遅延時間 t p H L で大きく差が生じていることがわかる。この立ち上がり遅延時間 t p L H、立ち下がり遅延時間 t p H L の値が大きく異なる原因は、N チャネル MOS トランジスタのゲート電圧が入力信号の電圧レベル (及び電源電圧 VDD L) が小さくなることによりインバータ I 2 の出力端子 o u t の負荷容量、及び

PチャネルMOSトランジスタP1のゲート容量をディスチャージするのに時間がかかる為であった。

【0010】ここで、電源電圧の変化に対して出力立ち上がり遅延時間と出力立ち下がり遅延時間特性の劣化の差を改善した回路がある。この回路を図19に示す。これは、出力信号の立ち上がり、立ち下がり遅延時間共に、NチャネルMOSトランジスタのドレイン電流特性が寄与している為に電源電圧の変化に対しての遅延時間のバランスが同じ程度変化するためである。しかし、この回路は出力立ち上がりと出力立ち下がり遅延時間劣化の差が小さくなるが、遅延時間の劣化自体を減少させる必要があり、また遅延時間により生じる貫通電流(図19のVDDH電源からの貫通電流)を削減する必要がある。

【0011】一方、外部電圧レベルの信号を内部電圧レベルの信号へ変換する場合においても、PチャネルMOSトランジスタのゲート電圧の変化によってPチャネルMOSトランジスタのドレイン電流が変化することから回路遅延時間のバランスが悪くなるという問題がある。図20は簡略した回路図、図21は出力遅延時間特性を表わす図である。図21からわかるように、内部電圧VDDLを低い設定に変化させると出力立ち上がり遅延時間 t_{PLH} が出力立ち下がり遅延時間 t_{PHL} より大きく劣化する。また、内部電圧VDDLを高い設定に変化させると出力立ち下がり遅延時間 t_{PHL} が出力立ち上がり遅延時間 t_{PLH} より大きく劣化する。

【0012】さらに課題として、半導体プロセスの微細化に伴って生じるMOSトランジスタの低耐圧化への対応を考慮する必要がある。半導体プロセスの微細化に伴い、MOSトランジスタのゲート電圧の耐圧が低下している為に動作電源電圧を低下させる必要がある。これに対して半導体集積回路周辺機器の入出力信号電圧レベルは従来通りであることが要求される。内部電圧レベルの信号が入力されるNチャネルMOSトランジスタの大部分では低耐圧MOSトランジスタの使用が可能であり、トランジスタのゲート幅を削減出来ると共に高速動作が可能となる。しかしながら、外部電圧レベルの信号がゲートドレイン間にかかるMOSトランジスタについて、従来の回路では高耐圧MOSトランジスタを使用する必要があり、これによりドレイン電流特性の劣化、MOSトランジスタのゲート幅が大きくなることによる半導体集積回路素子面積の増大が生じる。NチャネルMOSトランジスタを全て低耐圧MOSトランジスタとし、低耐圧MOSトランジスタのドレインに同じ低耐圧MOSトランジスタを直列に配した構成とし、新しく加えた低耐圧MOSトランジスタのゲートドレイン間電圧を耐圧上問題の無い電圧となるゲート電圧とする方法により低耐圧トランジスタを使用する方法があるが、耐圧の問題は解決できるが単純にこの手法を用いた場合には素

【0013】さらに課題として、低消費電力化要求または高速化要求によって内部回路の電源電圧設定値の多様化により、信号レベル変換回路のバリエーションおよび使われるMOSトランジスタのパラメータ値(ゲート幅、ゲート長、低耐圧もしくは高耐圧トランジスタ等)要求を満たすため、用意するセルベースICやゲートアレイ等のユニットセル種類の増大という問題があった。半導体集積回路において、内部電源電圧が半導体集積回路内部システムに依存した電圧であり、出力電圧が半導体集積回路外部素子のインターフェイス電圧規格で固定された電圧であり、出力に際して信号レベルを変換するシステムである場合、内部電圧は半導体集積回路設計側で任意に設定可能である。従来のセルベースIC、ゲートアレイ手法では、設計の自由度を確保するため、設定内部電圧毎に最適な回路特性を持つユニットセルを用意する必要性から、同じ機能を持つ回路に対しても電源電圧毎に遅延時間特性を最適化したセルを多数開発することが必要であった。

【0014】本発明は、多電源の電圧に対応して回路遅延特性を最適化することが可能な信号レベル変換回路を提供すると共に、本発明に最適な回路機能ブロック構成を提供し、セルベースIC、ゲートアレイのユニットセル数の削減に有効な手段を提供するものである。また、半導体プロセスの微細化に伴って生じるMOSトランジスタの低耐圧化も考慮した回路を提供する。

【0015】

【課題を解決する手段】上記課題を解決するために本発明にかかる信号レベル変換回路は、外部電圧を複数設定された内部電圧値のいずれかに変換して出力する電圧変換回路と、前記電圧変換回路の変換出力電圧値を選択する電圧制御回路と、前記電圧変換回路の変換出力電圧を電源電圧とする第1の論理回路と、前記外部電圧を電源電圧とする第2の論理回路と、前記第1の論理回路の出力信号レベルを前記第2の論理回路入力信号レベルに変換し、前記第2の論理回路の出力信号レベルを前記第1の論理回路入力信号レベルに変換する信号レベル変換回路を備え、前記信号レベル変換回路が、前記電圧制御回路による前記電圧変換回路の出力電圧値の選択に応じて前記信号レベル変換回路の出力電流の補償量を調整して出力遅延時間特性を改善する手段を備えたことを特徴とする。

【0016】かかる構成により、動作モードに応じて電源電圧の設定値を変化させた場合に、電圧制御回路出力信号を信号レベル変換回路へ入力し、信号レベル変換回路が入力された信号に応じて出力電流を調整して出力の遅延時間特性を改善することができる。

【0017】次に、内部電圧レベルの信号を外部電圧レベルの信号へ変換する回路において、本発明にかかる信号レベル変換機能付き半導体装置は、前記信号レベル変換回路が、前記第1の論理回路に対して前記選択された

内部電圧レベルの信号を入出力する第1の回路端子と、前記第2の論理回路に対して前記外部電圧レベルの信号を入出力する第2の回路端子と、前記第1の回路端子に接続され、前記選択された内部電圧を駆動電源電圧とする第1のインバータ回路を備えた前記第1の論理回路側の信号を入出力する内部電圧側回路と、前記内部電圧側回路との間で信号を伝達し、前記外部電圧を駆動電源電圧とし、出力立ち上がりの際に前記第2の回路端子の負荷容量をチャージする第1のスイッチング素子と出力立ち下りの際に前記第2の回路端子の負荷容量をディスチャージする第2のスイッチング素子を含む第2のインバータ回路を備えた外部電圧側回路と、前記電圧制御回路による前記電圧変換回路の出力電圧値の選択に応じてスイッチングし、前記第2のインバータの第2のスイッチング素子と並列に接続された第3のスイッチング素子を備え、前記第3のスイッチング素子の導通により、前記第2の回路端子の負荷容量をディスチャージする電流を補償する電流を流すことが好ましい。

【0018】かかる構成により、出力負荷容量をディスチャージするスイッチング素子と並列に備えておいたスイッチング素子を変換する内部電圧に応じて選択的に動作させる事により、出力負荷容量をディスチャージする電流を補償することができ、出力立ち下がり遅延時間の短縮、バランスを取ることができる。

【0019】さらに、本発明にかかる信号レベル変換機能付き半導体装置は、前記第3のスイッチング素子が並列に複数あり、前記電圧制御回路により選択された内部電圧値が低くなる程、導通する第3のスイッチング素子が多くなるようにスイッチングされ、前記第2の回路端子の負荷容量をディスチャージする電流を補償する電流が多く流れることが好ましい。

【0020】かかる構成により、動作モードが複数設定ある回路においても各設定内部電圧への変化に応じた出力電流劣化分の補償をすることができ、出力立ち下がり遅延時間の短縮、バランスを取ることができる。

【0021】次に、前記外部電圧側回路がさらに前記第1のスイッチング素子のスイッチング電圧を与える第4のスイッチング素子を備えている場合、本発明にかかる信号レベル変換機能付き半導体装置は、さらに、前記電圧制御回路による前記電圧変換回路の出力電圧値の選択に応じてスイッチングし、前記第4のスイッチング素子と並列に接続された第5のスイッチング素子を備え、前記第5のスイッチング素子の導通により、前記第4のスイッチング素子による前記第1のスイッチング素子のスイッチング動作を補償する電流を流すことが好ましい。

【0022】かかる構成により、出力負荷容量をディスチャージする電流およびチャージする電流の双方に生じる出力遅延時間を均等に改善することができ、出力遅延時間の短縮、バランスを取ることができる。

【0023】次に、外部電圧レベルの信号を内部電圧レ

ベルの信号へ変換する回路において、本発明にかかる信号レベル変換回路は、前記信号レベル変換回路が、前記第1の論理回路に対して前記選択された内部電圧レベルの信号を入出力する第1の回路端子と、前記第2の論理回路に対して前記外部電圧レベルの信号を入出力する第2の回路端子と、前記第2の回路端子に接続され、前記外部電圧を駆動電源電圧とする第3のインバータ回路を備えた前記第2の論理回路側の信号を入出力する外部電圧側回路2と、前記外部電圧側回路2との間で信号を伝達し、前記選択された内部電圧を駆動電源電圧とし、出力立ち上がりの際に前記第1の回路端子の負荷容量をチャージする第6のスイッチング素子と出力立ち下りの際に前記第1の回路端子の負荷容量をディスチャージする第7のスイッチング素子を含む第4のインバータ回路を備えた内部電圧側回路2と、前記電圧制御回路による前記電圧変換回路の出力電圧値の選択に応じてスイッチングし、前記第4のインバータの第6のスイッチング素子と並列に接続された第8のスイッチング素子を備え、前記第8のスイッチング素子の導通により、前記第1の回路端子の負荷容量をチャージする電流を補償する電流を流すことが好ましい。

【0024】かかる構成により、出力負荷容量をチャージするスイッチング素子と並列に備えておいたスイッチング素子を変換する内部電圧に応じて選択的に動作させる事により、出力負荷容量をチャージする電流を補償することができ、出力立ち上がり遅延時間の短縮、バランスを取ることができる。

【0025】さらに、本発明にかかる信号レベル変換回路は、前記信号レベル変換回路が、前記第1の論理回路に対して前記選択された内部電圧レベルの信号を入出力する第1の回路端子と、前記第2の論理回路に対して前記外部電圧レベルの信号を入出力する第2の回路端子と、前記第2の回路端子に接続され、前記外部電圧を駆動電源電圧とする第3のインバータ回路を備えた前記第2の論理回路側の信号を入出力する外部電圧側回路2と、前記外部電圧側回路2との間で信号を伝達し、前記選択された内部電圧を駆動電源電圧とし、出力立ち上がりの際に前記第1の回路端子の負荷容量をチャージする第6のスイッチング素子と出力立ち下りの際に前記第1の回路端子の負荷容量をディスチャージする第7のスイッチング素子を含む第4のインバータ回路を備えた内部電圧側回路2と、前記電圧制御回路による前記電圧変換回路の出力電圧値の選択に応じてスイッチングし、前記第4のインバータの第7のスイッチング素子と並列に接続された第9のスイッチング素子を備え、前記第9のスイッチング素子の導通により、前記第1の回路端子の負荷容量をディスチャージする電流を補償する電流を流すことが好ましい。

【0026】かかる構成により、出力負荷容量をディスチャージするスイッチング素子と並列に備えておいたス

スイッチング素子を変換する内部電圧に応じて選択的に動作させる事により、出力負荷容量をディスチャージする電流を補償することができ、出力立ち下がり遅延時間の短縮、バランスを取ることができる。

【0027】次に、本発明にかかる信号レベル変換機能付き半導体装置は、前記信号レベル変換回路を構成するスイッチング素子のうち、前記外部電圧が印可される素子は前記外部電圧の耐圧を持つスイッチング素子を使用し、前記外部電圧が印可されない素子は耐圧が低く、スイッチング電圧が低電圧で導通電流が大きいスイッチング素子を使用し、前記外部電源側回路の駆動電流をさらに改善することが好ましい。

【0028】かかる構成により、素子数を増大することなく、低耐圧スイッチング素子を耐圧保護して利用した回路構成とすることができ、出力負荷容量をチャージ、ディスチャージする電流の劣化を抑えることができる。

【0029】次に、本発明にかかる信号レベル変換機能付き半導体装置は、前記第3のスイッチング素子、前記第5のスイッチング素子、前記第8のスイッチング素子、前記第9のスイッチング素子を、少なくとも1つまたは並列に複数個備え、前記信号レベル変換回路の出力立ち下がり遅延時間および出力立ち上がり遅延時間を小さくし、かつ両者の差を小さくするように、前記電圧制御回路による前記電圧変換回路の出力電圧値の選択に応じた前記スイッチング素子のスイッチング制御を行うことが好ましい。

【0030】かかる構成により、内部電圧の設定により劣化する出力電圧の立ち上がり遅延時間特性、立ち下がり遅延時間特性を改善し、両者のバランスを保ち、最適な出力特性を得ることができる。

【0031】次に、本発明にかかる信号レベル変換機能付き半導体回路は、前記信号レベル変換回路をユニットセルとし、さらに前記信号レベル変換回路ユニットセルの制御端子のうち前記電圧制御回路による内部電圧選択に対応する制御端子に信号を出力する機能を持つ動作電圧設定ユニットセルを備え、前記信号レベル変換回路ユニットセルと前記動作電圧設定ユニットセルとの組み合わせにより、出力遅延時間特性を可変的に設定することが好ましい。

【0032】かかる構成により、本発明にかかる信号レベル変換回路の機能を持つユニットセルと電圧制御用入力端子の信号電圧を固定する機能のみを持つユニットセルを準備することで信号レベル変換回路全体のユニットセル数を削減することが可能となる。

【0033】

【実施の形態】以下に本発明の実施形態について図を用いて説明する。

【0034】（実施の形態1）図1および2は請求項1にかかる信号レベル変換機能付き半導体装置の例を示し

【0035】図1は半導体装置内部のロジックやメモリのブロック間に本発明を適用した場合であり、図2は外部素子とのインタフェース回路に適用した場合である。

【0036】本発明の実施形態1にかかる信号レベル変換回路について図1を参照しながら説明する。本実施形態1は半導体装置内部のロジックやメモリブロック間において動作電圧を変換する回路である。

【0037】図1において、半導体装置外部から入力された外部電圧VDDHは半導体装置内部のロジック・メモリー部1へ供給されている。ロジック・メモリー部2はロジック・メモリー部1に対して動作速度が遅くても問題のないブロックであり、消費電力低減のために電圧変換回路により電源電圧VDDHを低い電源電圧VDDLに変換してロジック・メモリー部2へ供給する。ここで、ロジック・メモリー部1とロジック・メモリー部2の信号のインタフェースにおいて信号レベル変換回路部による信号レベルの変換が行われている。

【0038】通常動作時においてロジック・メモリー部2には電源電圧としてVDDLが供給されるが、ロジック・メモリー部2がさらに動作速度を落としても良い状態にある場合（低速動作モード）には、電圧制御回路（パワーマネジメント回路）により電圧変換回路の出力電圧が制御され、電圧変換回路は通常動作時の変換電圧VDDLより低い内部電圧VDDL1に変換してロジック・メモリー部2に供給する。ここで、内部電圧VDDLにより回路遅延時間特性を最適化した設計の信号レベルシフト回路では、内部電圧の設定が変化した場合には遅延時間特性の立ち上がり、立ち下がりでバランスが非常に悪化する。そこで、内部電圧の変化に対して遅延時間特性のバランスの悪化や遅延時間の増大を改善可能とした本発明の信号レベル変換回路を使用し、更にその内部電圧（VDDL）の設定を制御している電圧制御回路により信号レベル変換回路の遅延時間特性を変更する構成とする。これにより、信号レベルシフト回路自身に電源電圧検知回路と信号レベルシフト回路特性制御回路を設ける事なく、電源電圧の変更に対して遅延時間特性の悪化を抑えた半導体集積回路が実現可能となる。

【0039】（実施の形態2）本発明の実施形態2にかかる信号レベル変換回路について図3～図5を参照しながら説明する。本実施形態2は本発明の請求項2に記載した信号レベル変換機能付き半導体装置に対応する実施形態である。図3は信号レベル変換回路の回路図、図4は入出力信号と電源電圧の変化パターン、図5は横軸に内部電圧比（通常動作時の電源電圧を1）、縦軸に遅延時間比（通常動作電圧の遅延時間を1）とした場合の遅延時間の内部電圧依存性を示した図である。

【0040】本実施形態2では、図3の回路図に示すように電圧制御回路を設け、入力端子(in)からの入力信号と前記電圧制御回路からの信号との論理和の否定出力をN3のゲート端子に与える構造になっている。ここで

N3はN2と並列に配置されているのでインバータのトランジスタゲート幅を大きくすることによるドレイン電流量を増加させる働きを持つ。

【0041】半導体論理回路の動作条件として、外部電圧VDDHを3.3V、通常動作モードでの第1の内部電圧VDDL1を2.5V、低速動作モードでの第2の内部電圧VDDL2を1.8Vとする場合を説明する。電源電圧VDDLの電圧変化比率は約0.7である。

【0042】図4に示すように、通常動作モードでは内部電圧はVDDLであり、入力端子(in)に電圧信号レベルVDDLを持つ入力信号が入力され、出力の電圧信号レベルはVDDHである。次に低消費電力動作モードに入ると、電圧制御回路は電圧変換回路に対してその出力電圧を1.8Vに落とす電圧制御信号cntをHレベルからLレベルに反転出力する。内部電圧はVDDL×0.7であり、入力端子(in)に電圧信号レベルVDDL×0.7を持つ入力信号が入力され、出力の電圧信号レベルはVDDHであり、信号レベル変換機能は通常動作モードと同等に発揮されている。

【0043】ここで電圧制御信号cntのLレベル出力と入力端子(in)の入力信号とがNOR回路NO1に入力され、NOR回路NO1の出力がN3のゲート端子に入力されている。これによってN3が入力信号端子inの入力に応じてN2と同時にオン、オフすることとなり、従来問題であったゲート電圧の低下によるドレイン電流量の低下に対してトランジスタゲート幅を大きくすることによるドレイン電流量の増加によって補うことができる。ドレイン電流の補償により出力負荷容量のディスチャージをする電流が補償されるので出力遅延時間特性を改善することができる。

【0044】以上の効果は図5からわかるように、電圧変化比率0.7において、従来回路では出力立ち上がり遅延時間tpLHに比べて出力立ち下がり遅延時間tpHLは大きくなっているが、一方、本発明にかかる電圧制御回路による電圧制御およびNチャネルMOSトランジスタ特性劣化分の補償を行う回路では、出力立ち下がり遅延時間はtpHL(cnt:L)となり、出力立ち上がり遅延時間tpLHと等しくなっており、バランスの良い遅延時間特性を持つ回路となる。

【0045】(実施の形態3)本発明の実施形態3にかかる信号レベル変換回路について図6～図7を参照しながら説明する。本実施形態3は本発明の請求項3に記載した信号レベル変換回路に対応する実施形態である。図6は信号レベル変換回路の回路図、図7は図5と同様の内部電圧比と遅延時間の関係を表わした図である。本実施形態3は低消費電力動作モードを2段階とする場合に対応した信号レベル変換回路である。

【0046】図6からわかるように、実施形態2に比べて電圧制御回路の出力がcnt1とcnt2の2つとなり、出力端子(out)に接続したNチャネルMOSトラ

ンジスタN4とNOR回路NO2が新たに追加されている。

【0047】半導体論理回路の動作条件として、外部電圧VDDHを3.3V、通常動作モードでの第1の内部電圧VDDL1を2.5V、低速動作モードでの第2の内部電圧VDDL2を2V、第3の内部電圧VDDL3を1.8Vとする場合を説明する。電源電圧VDDLの電圧変化比率は約0.8および0.7である。図7から明らかなように、3条件の内部電圧設定値に対して良好な遅延時間特性となっている。制御入力信号cnt1, cnt2の制御は、第1条件の通常動作モードの内部電圧2.5Vに対してはcnt1-H, cnt2-Hにより出力負荷はPチャネルMOSトランジスタP2とNチャネルMOSトランジスタN2のみで動作する。第2条件の内部電圧2Vに対してはcnt1-L, cnt2-Hにより出力負荷をNチャネルMOSトランジスタN3も加えて動作する。第3条件の内部電圧1.8Vではcnt1-L, cnt2-Lとして出力負荷をNチャネルMOSトランジスタN4も加えて動作する。このようにNチャネルMOSトランジスタN2だけではゲート電圧の低下によって低下するドレイン電流量をそれぞれの動作モードで最適化して補うことができ、ドレイン電流の補償により出力負荷容量のディスチャージをする電流が補償されるので出力遅延時間特性を改善することができる。良好な遅延時間特性を得ることができる。

【0048】(実施の形態4)本発明の実施形態4にかかる信号レベル変換回路について図8～図9、図19を参照しながら説明する。本実施形態4は本発明の請求項4に記載した信号レベル変換回路に対応する実施形態である。

【0049】図19は電源電圧の変化に対して出力立ち上がり遅延時間と出力立ち下がり遅延時間特性の劣化の差を改善した従来回路である。図19の信号レベル変換回路は図16に示す従来回路の信号レベル変換回路に比べて内部電圧変化に対して出力立ち上がりtpLH, 立ち下がりtpHL遅延時間の差は小さい。これは、図19の回路方式では出力立ち上がり遅延時間tpLHではN1において信号電圧レベルの低下によるドレイン電流量への影響があり、出力立ち下がり遅延時間tpHLではN2において信号電圧レベルの低下によるドレイン電流量への影響があるので回路構成上、遅延の影響が等しく現れるからである。本方式は遅延時間差が少ないが遅延時間自体は低減されるわけではない。

【0050】図8に本実施形態4の信号レベル変換回路を示す。図8の回路は図19の従来回路に比べ、N1のドレイン電流量の減少を補うためのN3と、N2のドレイン電流量の減少を補うN4を付加している。付加した2つのNチャネルMOSトランジスタは、低消費電力動作モードにおいてNOR回路のcnt入力となる

される。なお、内部電圧が通常動作モードに設定された場合 (cnt 入力 H) では図 8 の回路では N3 がオンしたままとなるので N チャネル MOS トランジスタ N5 を挿入する必要がある。

【0051】この図 8 の回路の遅延時間特性を図 9 に示す。図 9 より、N チャネル MOS トランジスタ N1 および N2 だけではゲート電圧の低下によって低下するドレイン電流量をそれぞれ N3 および N4 の働きにより補償することができ、遅延時間特性がバランス良く改善される事が分かる。

【0052】(実施の形態 5) 本発明の実施形態 5 にかかる信号レベル変換回路について図 10 ~ 図 11 を参照しながら説明する。本実施形態 5 は本発明の請求項 5 または 6 に記載した信号レベル変換回路に対応する実施形態である。本実施形態 5 は外部電圧レベルの入力信号に対して内部電圧レベルの信号を出力する回路である。

【0053】図 10 に回路構成、図 11 に内部電圧の設定電圧が、通常動作モード VDDL、低消費電力動作モード VDDL (cnt 1: L)、高速動作モード VDDL (cnt 2: H) の 3 条件ある場合の回路遅延時間特性を示す。内部電圧の設定電圧の 3 条件のうち、中心の規格化電圧を 1.0 として、内部電圧の設定電圧が 0.75 へ変化した場合には、通常のインバータでは出力立ち上がり時間 t_{pLH} が大きくなる。これは図 10 の P チャネル MOS トランジスタ P1 のゲート-ソース間電圧が 0.75 倍となったためにドレイン電流が低下するためである。本実施形態 6 にかかる信号レベル変換回路では、図 10 の回路において、cnt 1 端子を L レベルとすると P3 がオンとなり、P2 が動作する事で out 端子の負荷容量をチャージするためのドレイン電流が補償され、立ち上がり遅延時間 t_{pLH} を改善して立ち下がり遅延時間 t_{pHL} と同等の遅延時間とすることができる。

【0054】これに対して、内部電圧の設定電圧 VDDL が 1.3 へと変化した場合には、通常のインバータでは出力立ち上がり遅延時間 t_{pLH} が小さくなり、出力立ち下がり遅延時間 t_{pHL} は大きくなる。これは図 10 の P1 のゲート-ソース間電圧が 1.3 倍となったためにドレイン電流が増して N チャネル MOS トランジスタ N1 のドレイン電流が相対的に減少するために出力立ち上がり遅延時間 t_{pLH} が小さくなり、更に P1 のドレイン電流が大きくなるためにインバータスイッチング時の貫通電流が増し、出力立ち下がり遅延時間 t_{pHL} は大きくなるためである。本実施形態 6 にかかる信号レベル変換回路では、図 10 の回路において cnt 2 を H レベルとすることで、N3 がオンとなり、N2 により出力立ち下がり時の out 端子の負荷容量をディスチャージするためのドレイン電流が補償され、出力立ち下がり遅延時間 t_{pHL} を改善して出力立ち上がり遅延時間 t_{pLH}

【0055】(実施の形態 6) 本発明の実施形態 6 にかかる信号レベル変換回路について図 12 ~ 図 13 を参照しながら説明する。本実施形態 6 は本発明の請求項 7 に記載した信号レベル変換回路に対応する実施形態である。本実施形態 6 は信号レベル変換回路において高耐圧 N チャネル MOS トランジスタを使用せずに低耐圧 N チャネル MOS トランジスタおよび出力端子 (out) でのインターフェイス電圧対応のための高耐圧 P チャネル MOS トランジスタを組み合わせる構成したものである。

10 【0056】図 12 の回路は、図 3 の回路に対して低耐圧 MOS トランジスタを適応した場合である。低耐圧 MOS トランジスタ N3L は N4L を保護するために設け、低耐圧 MOS トランジスタ N5L は N2L を保護するために設けている。

【0057】図 13 の回路図は図 8 に対して同様の低耐圧 MOS トランジスタの適応を行ったものであり、低耐圧 N チャネル MOS トランジスタ N5L、N6L、N7L は保護トランジスタとして設けてある。なお高耐圧 N チャネル MOS トランジスタ N5 はゲート電圧がグラウンドである VSS となることからゲート-ドレイン間電圧に VDDH がかかる為に低耐圧 MOS トランジスタとはしていない。

【0058】なお、図 12 の回路図に対して低耐圧 N チャネル MOS トランジスタ N5L の代わりに高耐圧 N チャネル MOS トランジスタとしてその高耐圧 N チャネル MOS トランジスタのゲートを cnt 端子と接続し、NOR 回路を NAND 回路とした場合でも本効果は実現できる。同様に図 13 の回路図の低耐圧 N チャネル MOS トランジスタ N7L を高耐圧 N チャネル MOS トランジスタとして、ゲートをインバータ I4L と接続し、NOR 回路 NO1L の代わりに NAND 回路とした場合にも同様の効果を実現できる。

【0059】このようにスイッチング電圧が低電圧で導通電流が大きいスイッチング素子を使用し、前記外部電源側回路の駆動電流をさらに改善することができる。

【0060】(実施の形態 7) 本発明の実施形態 7 にかかる信号レベル変換回路について図 14 ~ 図 15 を参照しながら説明する。本実施形態 7 は本発明の請求項 9 に記載した信号レベル変換回路に対応する実施形態である。本実施形態 7 はユニットセル数を削減するセルベース IC やゲートアレイ等でのレイアウト手法を利用した信号レベル変換回路である。

【0061】上記実施形態 1 ~ 6 において、内部電圧の変化に対して良好な遅延時間を実現できる信号レベル変換回路の回路手法について示した。上記信号レベル変換回路をユニットセルとして開発し、さらに開発した信号レベル変換回路ユニットセルの制御端子のうち、設定したい内部電圧に対応する制御端子に信号を出力する機能を持つユニットセルを準備することにより、用意するユニットセル数を削減することが可能となる。本実施形

態 7 は信号レベル変換機能付き半導体装置をユニットセル方式で提供し、ユニットセルの組み合わせにより総ユニットセル数を削減するレイアウト手法を利用した回路である。

【0062】図 15 に示す I/O セルにおいて、内部電圧信号レベルを外部電圧信号レベルに変換する回路は実施形態 4 で説明した図 8、外部電圧信号レベルを内部電圧信号レベルは実施形態 5 で説明した図 10 の回路をベースとしている。それぞれの回路の制御端子 cnt を共通の端子とし、図 14 に示すように半導体装置コーナ部にて V I A もしくは配線層により動作設定電圧による最適な特性を選択する。本実施形態 7 では制御端子 cnt を VDDL (または VDDH) または VSS のどちらかを選択して接続することで、VDDL 接続であれば VSS 接続に比べ内部電圧が高く設定された場合に最適な特性を得る回路となり、VSS 接続では内部電圧が低く設定された場合に最適な特性を得る回路となる。コーナ部のレイアウトは設定電圧を選別するユニットセルとし、コーナセルの選択により電圧設定を可能とする。また、同機能を I/O セル間のボンディングパッドピッチ調整のために空けているスペース領域に挿入することも可能である。

【0063】

【発明の効果】以上説明したように本発明にかかる信号レベル変換回路により、内部電圧レベルの信号を外部電圧レベルの信号に変換し、外部電圧レベルの信号を内部電圧レベルの信号に変換する信号レベル変換回路において、良好かつバランスのとれた出力遅延時間特性を得ることができる。また、それらの特性を得るのに必要な半導体集積回路の機能ブロック構成について素子数の削減、そしてセルベース IC やゲートアレイのユニットセル総数を削減することができる。さらに、低耐圧 MOS トランジスタを用い、かつ高速動作が可能である信号レベル変換回路を提供することができ、ドレイン電流特性の劣化防止、ゲート幅低減による素子面積縮小に効果がある。

【図面の簡単な説明】

【図 1】内部ロジック間で信号レベルを変換する回路の機能ブロック構成図

【図 2】外部回路との間で信号レベルを変換する回路の機能ブロック構成図

【図 3】実施形態 2 にかかる信号レベル変換回路の回路図

【図 4】図 3 の信号レベル変換回路の入力波形及び出力波形図

【図 5】図 3 の信号レベル変換回路の内部電圧変化に対する遅延時間特性変化図

【図 6】実施形態 3 にかかる信号レベル変換回路の回路図

【図 7】図 6 の信号レベル変換回路の内部電圧変化に対する遅延時間特性変化図

【図 8】実施形態 4 にかかる信号レベル変換回路の回路図

【図 9】図 8 の信号レベル変換回路の内部電圧変化に対する遅延時間特性変化図

【図 10】実施形態 5 にかかる信号レベル変換回路の回路図

【図 11】図 10 の信号レベル変換回路の内部電圧変化に対する遅延時間特性変化図

【図 12】図 3 の信号レベル変換回路に低耐圧 MOS トランジスタを適応した回路図

【図 13】図 8 の信号レベル変換回路に低耐圧 MOS トランジスタを適応した回路図

【図 14】信号レベル変換回路の半導体集積回路レイアウトパターン

【図 15】図 14 の I/O セルの構成図

【図 16】従来例の信号レベル変換回路の回路図

【図 17】従来例の入力波形と出力波形を示す図

【図 18】従来例の出力立ち上がり遅延時間と出力立ち下がり遅延時間特性図

【図 19】従来例の信号レベル変換回路の回路図

【図 20】従来例の信号レベル変換回路の回路図

【図 21】図 20 の従来回路の内部電圧変化に対する遅延時間特性変化図

【符号の説明】

VDDL 内部電圧

VDDH 外部電圧

VSS グラウンド

in (IN) 入力端子

out (OUT) 出力端子

cnt, cnt1, cnt2, cntL 電圧制御回路信号端子

I1 ~ I4 インバータ回路

I1L, I2L, I3L 低耐圧 MOS トランジスタ構成インバータ回路

N1 ~ N5 Nチャネル MOS トランジスタ

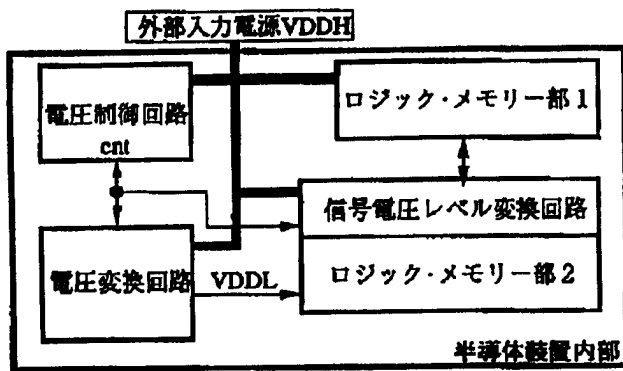
P1, P2, P3 Pチャネル MOS トランジスタ

N1L ~ N7L 低耐圧 Nチャネル MOS トランジスタ

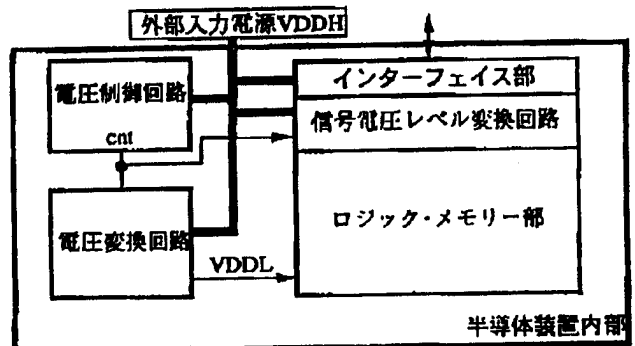
NO1, NO2 NOR 回路

NO1L 低耐圧 MOS トランジスタ構成 NOR 回路

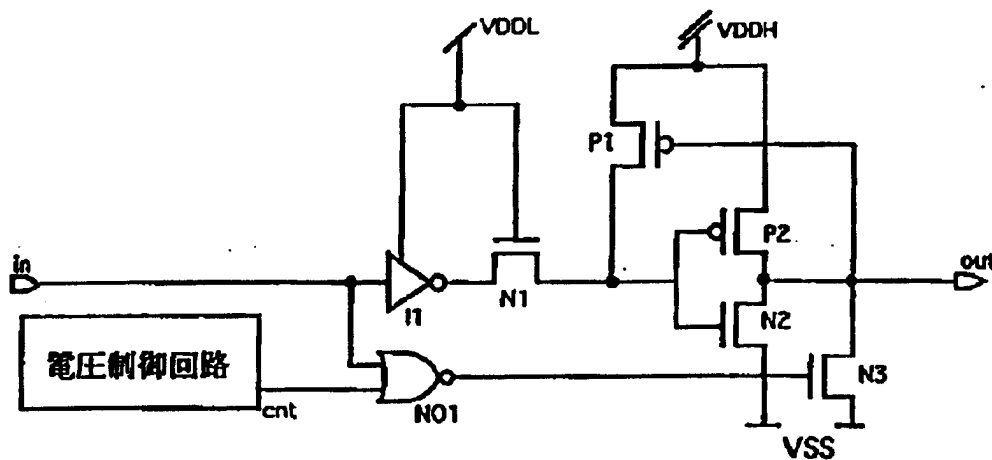
【図1】



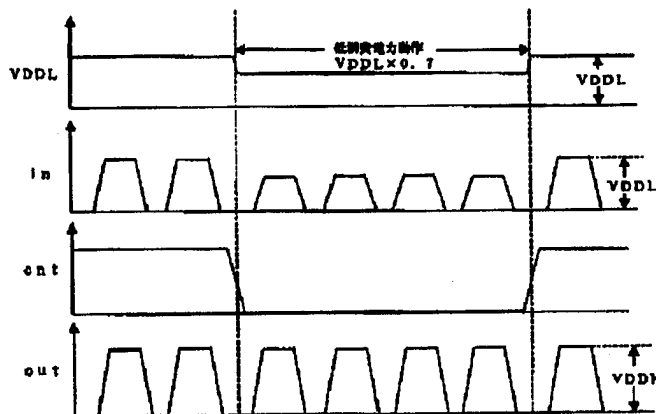
【図2】



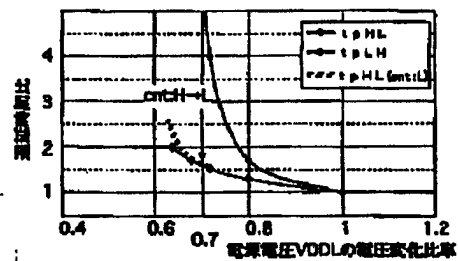
【図3】



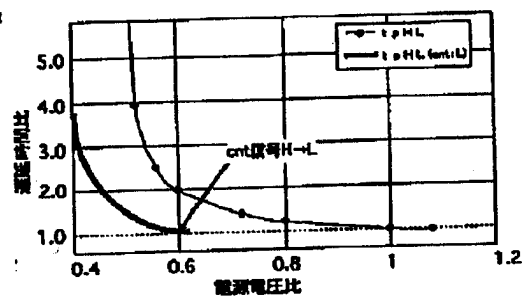
【図4】



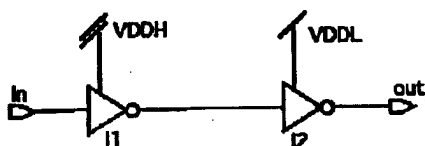
【図5】



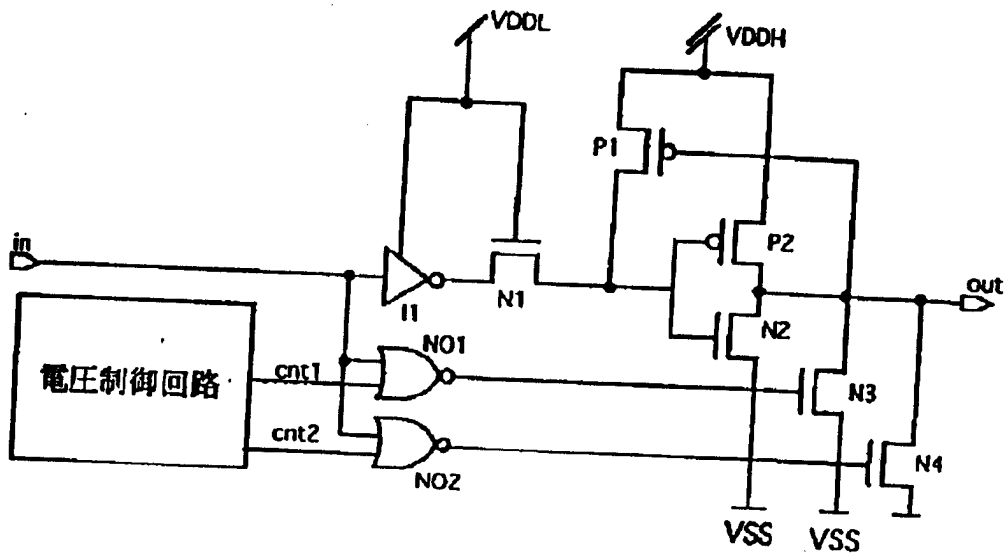
【図9】



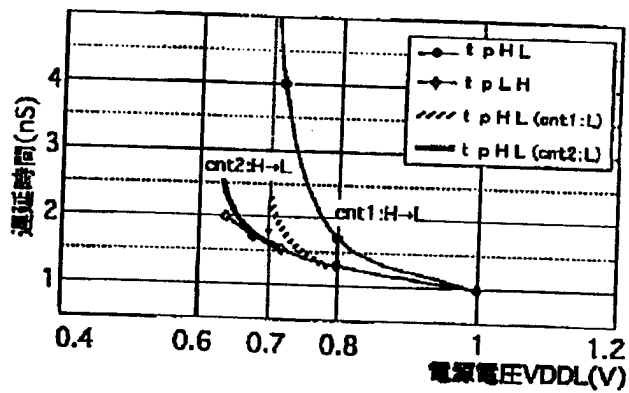
【図20】



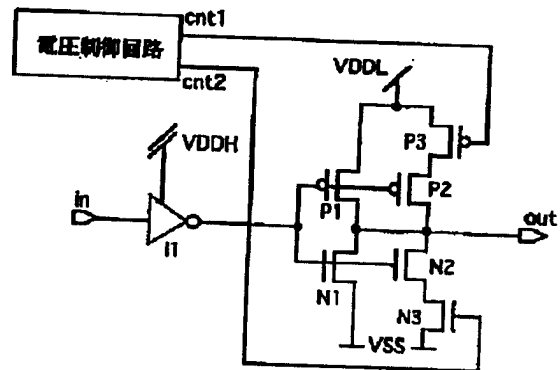
【 図 6 】



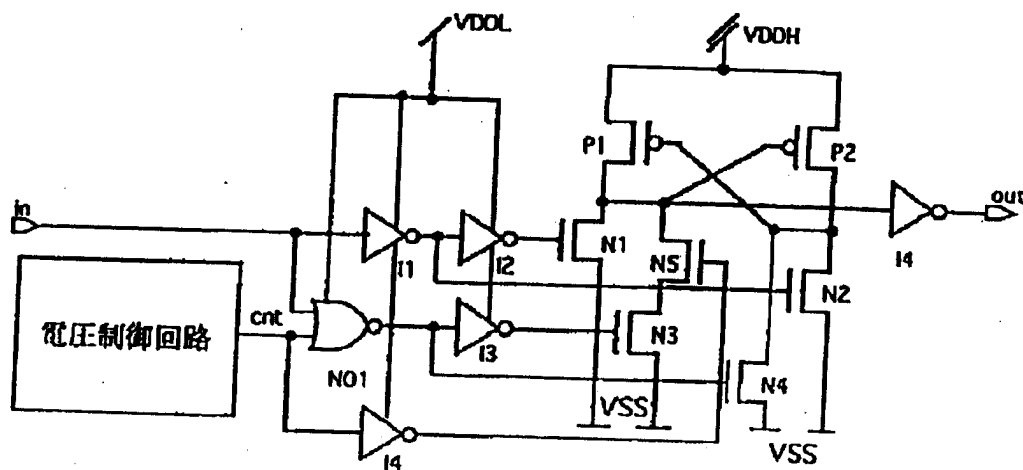
【 図 7 】



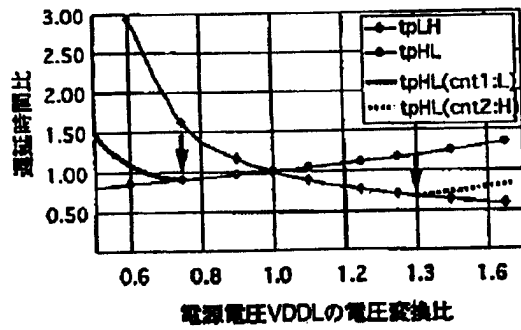
【 図 10 】



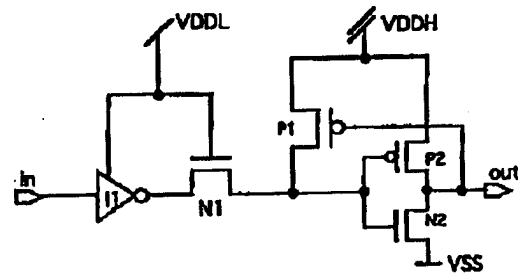
【 図 8 】



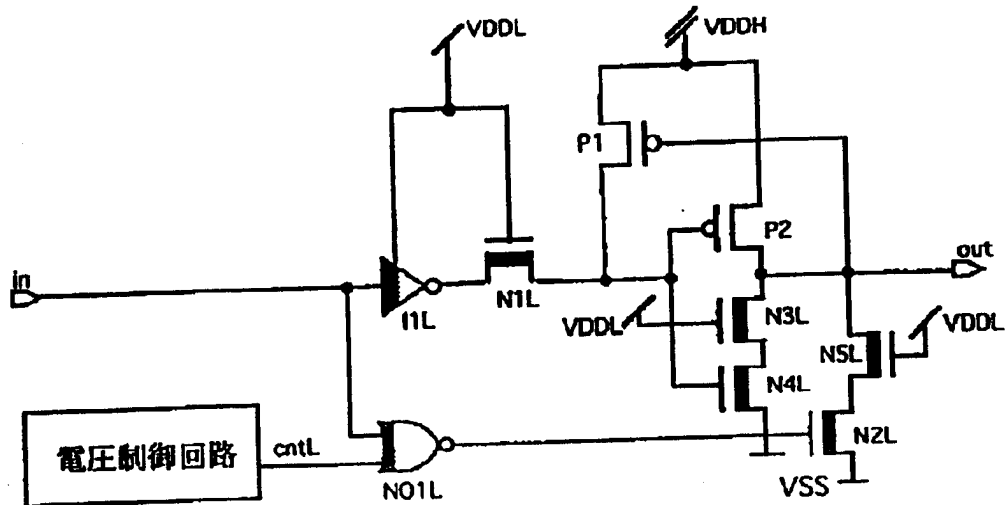
【図 1 1】



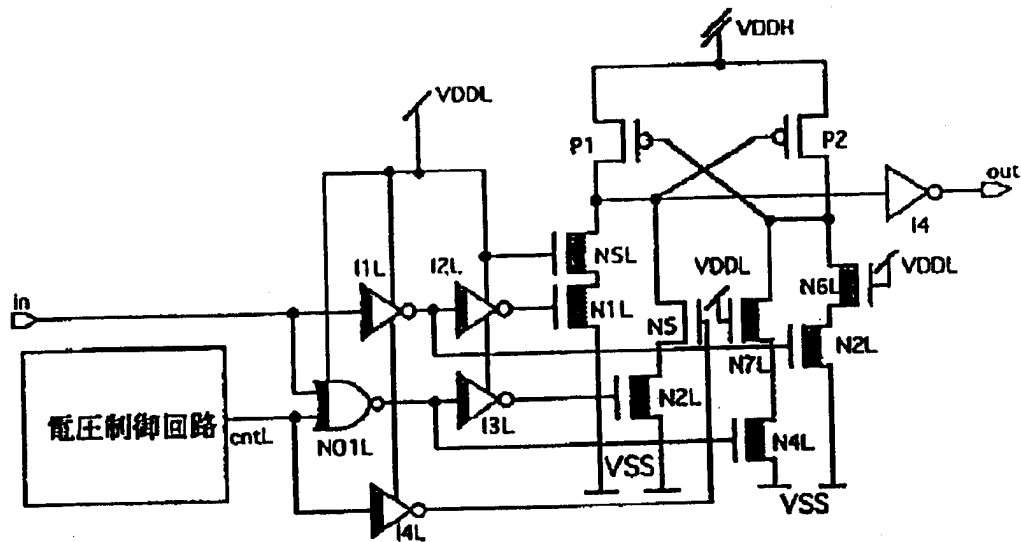
【図 1 6】



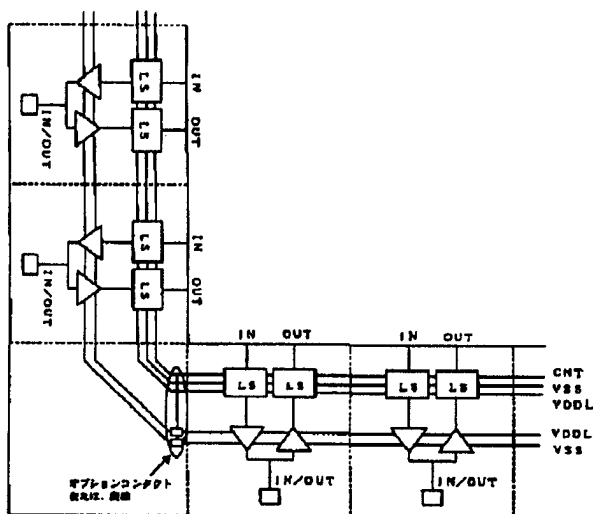
【図 1 2】



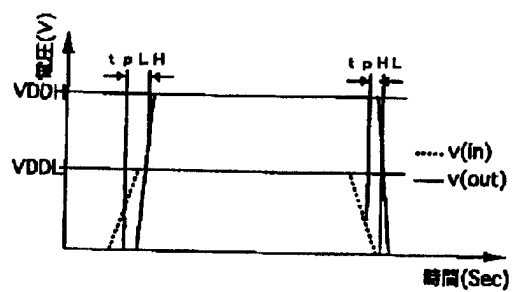
【図 1 3】



【図 1 4】



【図 1 7】



【図 1 5】

